

一种低耦合翻转的数据总线编码方法

李泉泉, 顾大晔, 龚晓华, 刘小明, 郭二辉

(中国电子科技集团公司第三十八研究所, 安徽 合肥 230088)

摘 要: 针对片上系统中数据总线功耗显著的特点, 提出了一种低耦合翻转的数据总线编码方法. 利用数据总线前一时刻传输的数据对当前时刻需要传输的数据进行异或编码、同或编码, 并将异或编码、同或编码、反转编码及原码中耦合翻转次数最少的数据送到数据总线上进行传输, 有效降低了数据总线的功耗. 实验结果表明, 对于常用的 32 bit 数据总线, 该编码方法可以将总线功耗降低 33.06%, 优于传统的 CBI 编码方法和 E/O BI 编码方法.

关键词: 耦合翻转; 低功耗编码; 数据总线; 片上系统

中图分类号: TP302

文献标识码: A

文章编号: 1000-7180(2016)11-0091-04

A Novel Data Bus Encoding with Low Coupling Transitions

LI Quan-quan, GU Da-ye, GONG Xiao-hua, LIU Xiao-ming, GUO Er-hui

(No. 38 Research Institute, China Electronics Technology Group Corporation, Hefei 230088, China)

Abstract: Data bus consumes a large amount of energy in the system-on-chip. This paper proposes a novel data bus encoding with low coupling transitions to save the data bus power dissipation. The encoder utilizes the previous data on the data bus to encode the current data with XOR and XNOR operations, and chooses the data with minimal coupling transitions among XOR encoding data, XNOR encoding data, invert encoding data and the original data to send on the data bus. This method can reduce a majority of data bus coupling transitions, thus saving the data bus power dissipation significantly. Experimental results show that this method could save 33.06% of the common 32-bit data bus power dissipation, superior to the traditional CBI encoding and E/O BI encoding

Key words: coupling transitions; low power encoding; data bus; system on chip

1 引言

随着半导体工艺技术的飞速发展, 集成电路的性能和规模都得到了很大的提升, 由此带来的功耗问题也日益严重. 作为连接片上系统(system on chip, SoC)中各个子系统的关键部件, 片上总线由于具有数据位宽高、物理路径长并且访问频繁的特点而成为了系统功耗的重要来源^[1]. 在很多高性能 SoC 芯片中, 片上总线所产生的功耗已经占据了整个系统功耗的 20%~30%. 有效降低片上总线的功耗对于低功耗 SoC 芯片的设计有着重要意义.

近年来出现了很多低功耗总线编码技术用于降低片上总线的功耗. 在地址总线方面, 由于程序地址

的规律性很强, 低功耗总线编码技术在降低地址总线功耗上效果显著; 目前, 地址总线低功耗编码技术已经发展得比较成熟. 在数据总线方面, 由于传输数据的不确定性, 低功耗总线编码技术很难达到大幅降低数据总线功耗的效果, 所以发展不如地址总线编码技术那么迅捷. 目前主流的数据总线低功耗编码技术有 BI 编码^[2]、分段 BI 编码^[3]、SINV 编码^[4]、CBI 编码^[5]、E/O BI 编码^[6]等. 其中 BI 编码、分段 BI 编码和 SINV 编码通过减少数据总线的自身翻转来降低数据总线的功耗, 在深亚微米(deep sub-micron, DSM)工艺下, 总线的耦合翻转产生的功耗已经成为了总线功耗的主要来源^[7], 单纯减少总线的自身翻转不再是降低总线功耗的最佳途径. CBI

收稿日期: 2016-01-27; **修回日期:** 2016-03-19

基金项目: 国家“核高基”重大专项(2012ZX01034001-001)

编码和 E/O BI 编码通过减少数据总线的耦合翻转来降低数据总线的功耗,但是该类方法对传输数据进行编码时只考虑了自身的特性,因此其降低数据总线耦合翻转的能力有限。

针对现有方法存在的问题,本文提出了一种基于异或、同或、反转编码的数据总线低功耗方法.该方法利用数据总线前一时刻传输的数据对当前时刻需要传输的数据进行编码,以较小的硬件代价减少了数据总线的耦合翻转次数,可有效降低数据总线的功耗。

2 DSM 总线功耗分析

通常情况下片上总线的排列都是平行的和共面的,绝大部分电介质都位于相邻线间和线地之间,可以认为不相邻的线间电容是可以忽略的.文献[8]中给出了一种适用于 DSM 工艺环境下的片上总线功耗计算模型,使用该模型计算的相邻的两位总线功耗数据如表 1 所示。

表 1 相邻两位总线功耗数据

$C_L V 2_{dd}$		$[V_{\text{next}_i}, V_{\text{next}_{i+1}}]$			
		00	01	10	11
$\begin{bmatrix} V_{\text{now}_i} \\ V_{\text{now}_{i+1}} \end{bmatrix}$	00	0	$1 + \lambda$	$1 + \lambda$	2
	01	0	0	$1 + 2\lambda$	1
	10	0	$1 + 2\lambda$	0	1
	11	0	λ	λ	0

随着工艺尺寸的减小,互连线之间的距离急剧缩小;但是互连线的高度和线宽却不是按照相同比例缩小的,当今 DSM 工艺环境下的互连线高度已经超过了线宽.这造成了导线之间的耦合电容 C_i 越来越大,而导线的对地电容 C_L 却越来越小,也就使得 λ 的值越来越大。 λ 的取值与工艺尺寸的变化关系如图 1 所示,在 45 nm 工艺下 λ 的取值达到了 7 以上.因此,通过减少 λ 的系数,即减少相邻导线之间的耦合翻转次数,就可以有效降低片上总线的功耗。

3 数据总线编码设计

为了减少相邻导线之间的耦合翻转次数,本文提出了一种基于异或、同或、反转编码的数据总线低功耗技术,其实现算法如下。

1. Operate on the D_k and add the flag bits:

$S_{org} = \{2b00, D_k\}$

$S_{xor} = \{2b01, D_k \text{ xor } S_{k-1}[n-3:0]\}$

$S_{xnor} = \{2b10, D_k \text{ xnor } S_{k-1}[n-3:0]\}$

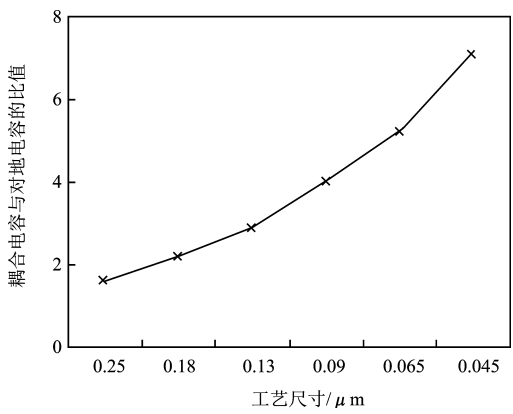


图 1 λ 值与工艺尺寸的关系

$S_{inv} = \{2b11, \text{not } D_k\}$

2. Calculate the coupling transitions;

$N_{org} = \text{number}_{\lambda}(S_{org}, S_{k-1})$

$N_{xor} = \text{number}_{\lambda}(S_{xor}, S_{k-1})$

$N_{xnor} = \text{number}_{\lambda}(S_{xnor}, S_{k-1})$

$N_{inv} = \text{number}_{\lambda}(S_{inv}, S_{k-1})$

3. Choose the minimum coupling transitions;

$N_{min} = \min(N_{org}, N_{xor}, N_{xnor}, N_{inv})$

4. Send the encoding data;

if ($N_{min} = N_{org}$) $S_k = S_{org}$

else if ($N_{min} = N_{xor}$) $S_k = S_{xor}$

else if ($N_{min} = N_{xnor}$) $S_k = S_{xnor}$

else if ($N_{min} = N_{inv}$) $S_k = S_{inv}$

其中 n 为总线位宽, D_k 为总线当前时刻要传输的未编码的新数据, S_{k-1} 为总线前一时刻传输的编码后的数据, S_{org} 是将新到达的数据 D_k 增加 2 bit 标志位后的数据, S_{xor} 是将 D_k 与 S_{k-1} 去掉高两位后作异或操作并增加相应标志位后的数据, S_{xnor} 是将 D_k 与 S_{k-1} 去掉高两位后作同或操作并增加相应标志位后的数据, S_{inv} 是将 D_k 进行反转并增加相应标志位后的数据, number_{λ} 是用来计算耦合翻转次数的函数, S_k 是对 D_k 进行编码后的数据. 该编码算法的基本思想是: 分别计算 S_{k-1} 与 S_{org} , S_{xor} , S_{xnor} , S_{inv} 之间的耦合翻转次数, 然后将耦合翻转次数最少的数据送到总线上进行传输。

编码算法对应的具体硬件电路如图 2 所示. 总线当前时刻需要传输的未编码数据 D_k 和前一时刻传输的编码数据 S_{k-1} 去掉高两位后经过异或、同或编码, 与原码、反转编码分别送到耦合翻转计数器, 四路比较器会计算出耦合翻转次数最少的编码数据并将该数据的高两位作为选择器的控制信号. 若比较器输出的控制信号为 00, 则选择器将原码送到总线上进行传输; 若控制信号为 01, 则将异或编码数

据送到总线上进行传输;若控制信号为 10,则将同或编码数据送到总线上进行传输;若控制信号为 11,则将反转编码数据送到总线上进行传输。编码电路始终选择耦合翻转次数最少的编码数据进行传输,因此可以有效降低总线的耦合翻转功耗。

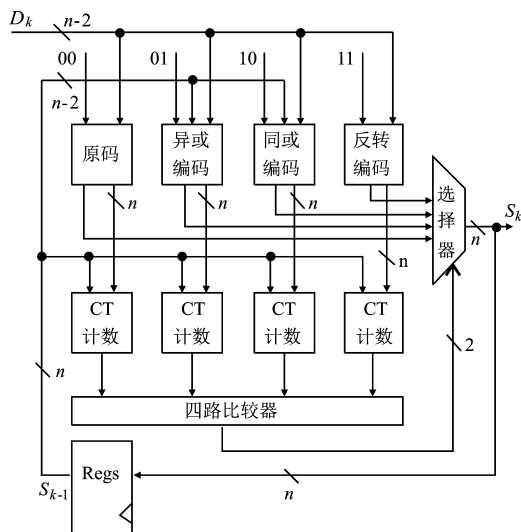


图2 硬件编码电路

4 数据总线解码设计

在数据总线的接收端,为了恢复出原始数据,需要对总线上的编码数据进行解码操作,其实现算法如下。

1. Decode the S_k

$flag = S_k[n-1:n-2]$

if(flag=2b00)

$D_k = S_k[n-3:0]$

else if(flag=2b01)

$D_k = S_k[n-3:0] \text{ xor } S_{k-1}[n-3:0]$

also if(flag=2b10)

$D_k = S_k[n-3:0] \text{ xor } S_{k-1}[n-3:0]$

else if(flag=2b11)

$D_k = \text{not } S_k[n-3:0]$

数据总线的高两位为标志位,若检测到标志位为 00,则总线上数据 S_k 去掉高两位后即可得到原始数据;若检测到标志位为 01,则 S_k 与前一时刻传输的数据 S_{k-1} 作异或操作可以恢复出原始数据;若检测到标志位为 10,则 S_k 与 S_{k-1} 作同或操作可以恢复出原始数据;若检测到标志位为 11,则直接将 S_k 去掉高两位后取反就可以得到原始数据。

解码算法对应的硬件电路如图 3 所示。总线上当前时刻的数据 S_k 和前一时刻的数据 S_{k-1} 去掉高两位后作异或、同或操作得到的数据, S_k 作反转操作得到

的数据和不经任何处理的数据一并发送到选择器,由 S_k 的高两位选择输出作为解码后的数据 D_k 。解码电路的逻辑非常简单,所占用的硬件资源极少。

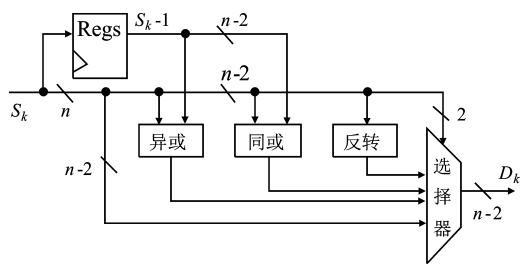


图3 解码电路

5 实验结果

采用 SystemVerilog 语言建立 DSM 工艺环境下的数据总线功耗计算模型,并设计实现本文提出的低耦合翻转的数据总线编码方法;作为对比,同时实现了 CBI 编码方法^[5]和 E/O BI 编码方法^[6]。数据总线的测试激励来至于统一验证方法学(universal verification methodology, UVM)平台产生的 100 000 个时钟周期的随机数据。通过 UVM 平台,数据总线编码电路和数据总线功耗计算模型可以与产生随机数据的通道进行无缝连接。

实验测试了不同总线宽度下采用本文方法、CBI 编码方法、E/O BI 编码方法后数据总线的功耗。以不经任何处理的数据总线的功耗为基准,对采用各种编码方法后的数据总线的功耗进行归一化,如图 4 所示。对于常用的 32 bit 数据总线,采用本文方法后数据总线功耗的节省比例为 33.06%,高于采用 CBI 编码方法后数据总线功耗的节省比例 27.08%和采用 E/O BI 编码方法后数据总线功耗的节省比例 28.17%。另外,对于其他位宽的数据总线,本文方法对数据总线功耗的优化效果也要好于 CBI 编码方法和 E/O BI 编码方法。

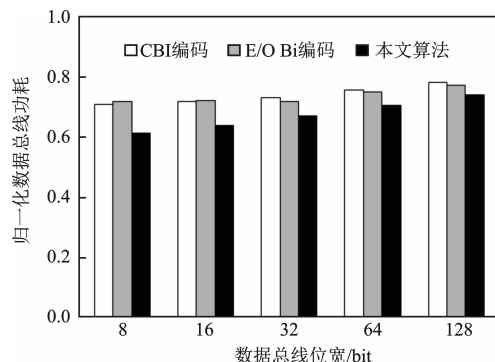


图4 不同编码方法的数据总线功耗对比

6 结束语

为了降低片上数据总线的功耗,本文提出了一种基于异或、同或、反转编码的数据总线低功耗方法.该方法利用数据总线前一时刻传输的数据对当前时刻需要传输的数据进行编码,重点考虑了 DSM 工艺环境下相邻导线之间耦合翻转对数据总线功耗造成的巨大影响.在 UVM 平台上的实验结果显示本文方法可以有效降低数据总线的功耗,并且比传统的 CBI 编码方法^[5]和 E/O BI 编码方法^[6],有更好的功耗优化效果.

参考文献:

- [1] 刘毅,王乃迪,杨银堂. 基于短循环程序特征的多模式低功耗编码算法[J]. 微电子学与计算机, 2008, 25(2): 104-106.
- [2] Stan M R, Burleson W P. Bus-Invert coding for low-power I/O [J]. IEEE Transactions on Very Large Scale Integration Systems, 1995, 3(1): 49-58.
- [3] Shin Y, Chae S I, Choi K. Partial bus-invert coding for power optimization of application-specific systems [J]. IEEE Transactions on Very Large Scale Integration Systems, 2001, 9(2): 377-383.
- [4] Natesan J, Radhakrishnan D. Shift invert coding (SINV) for low power VLSI [C] // Proceedings of

the EUROMICRO Systems on Digital System Design. New York: IEEE, 2004: 190-194.

- [5] Sainarayanan K S, Ravindra J V R, Srinivas M B. A novel, coupling driven, low power bus coding technique for minimizing capacitive crosstalk in VLSI interconnects [C] // Proceedings of IEEE International symposium on Circuits and Systems. CA, USA: IEEE, 2006: 4155-4158.
- [6] Zhang Y, Lach J, Skadron K, et al. Odd/even bus invert with two-phase transfer for buses with coupling [C] // Proceedings of the 2002 International Symposium on Low Power Electronics and Design. New York, NY, USA: ACM, 2002: 80-83.
- [7] 谢国梁,凌翔. 联合不等能力保护和串扰避免的片上总线编码设计[J]. 重庆邮电大学学报, 2010, 22(5): 612-617.
- [8] Sotiriadis P P, Chandrakasan A P. A bus energy model for deep submicron technology [J]. IEEE Transactions on Very Large Scale Integration Systems, 2002, 10(3): 341-350.

作者简介:

李泉泉 男,(1987-),博士,工程师,研究方向为嵌入式处理器体系结构、数字集成电路设计与验证.

E-mail: liquanquan2007@126.com

(上接第 90 页)

生成电路,该电路提出了一种全匹配的 VCO/VC-DL 双模可配置结构,使电路可分别在 PLL 和 DLL 模式下工作,产生的 10 相位 2 GHz 的多相时钟.该设计基于 TSMC 65 nm CMOS 工艺实现,供电电压为 1 V. PLL 模式工作时,相位噪声在 1 MHz 频偏处为 -85.04 dBc/Hz,参考杂散为 -46.89 dBc. 电路总功耗在 PLL 模式工作时为 2.1 mW, DLL 模式工作时为 2.4 mW. 该多相时钟生成电路可为超宽带收发机提供基带时钟信号,同时也提供了脉冲调制信号,使超宽带收发系统能更好地工作.该芯片为目前 SOC 芯片中两种最主流的时钟生成电路的结合提供了一种解决方案,有很大的研究意义和潜能.

参考文献:

- [1] LIU D, LIU X F, RHEE W, et al. A 7.6 mW 2 Gb/s proximity transmitter for smartphone-mirrored display applications[C]//Solid-State Circuits Conference, ASSCC'15. Xiamen, China: IEEE, 2015: 1-4.

- [2] 陈忱,刘伯安. 基于 DLL 的 1.25G 超宽带通信系统时钟生成电路[J]. 固体电子学研究进展, 2007, 27(2): 253-257.
- [3] Andrea L, Salvatore L, Carlo S. Integrated frequency synthesizers for wireless systems [M]. New York: Cambridge University Press, 2007.
- [4] Sander L J Gierkink. Low-spur, low-phase-noise clock multiplier based in a combination of PLL and recirculating DLL with dual-pulse ring oscillator and self-correcting charge pump [J]. Journal of Solid-State Circuits, 2008, 43(12): 2967-2976.
- [5] 张刚. CMOS 集成锁相环电路设计 [M]. 北京:清华大学出版社, 2013: 21-22.

作者简介:

刘小峰 女,(1991-),硕士研究生. 研究方向为模拟集成电路设计. E-mail: liuxf13@mails. tsinghua. edu. cn.

刘 钊 男,(1987-),博士. 研究方向为用于无线短距离通信的超宽带收发机的设计.

李宇根 男,(1968-),教授,博士生导师. 研究方向为低功耗收发系统、低噪声时钟和频率产生器的研究.